

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-67760

(43) 公開日 平成11年(1999) 3月9日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 21/318

H 0 1 L 21/318

C

B

21/316

21/316

P

29/78

29/78

3 0 1 G

審査請求 未請求 請求項の数 6 O L (全 7 頁)

(21) 出願番号

特願平9-215129

(22) 出願日

平成9年(1997) 8月8日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番 35 号

(72) 発明者 鈴木 篤

東京都品川区北品川 6 丁目 7 番 35 号 ソニ

ー株式会社内

(74) 代理人 弁理士 藤島 洋一郎

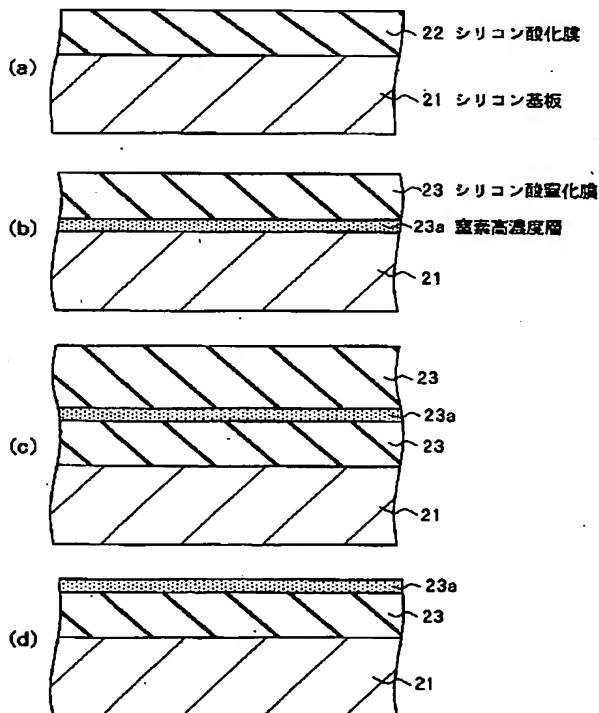
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

(修正有)

【課題】 PMOS トランジスタの p 型ゲート電極から基板へのホウ素等の p 型不純物の拡散を防止することが可能なゲート絶縁膜を形成する。

【解決手段】 シリコン酸化膜 22 を酸窒化または窒化することによりシリコン酸窒化膜 23 を形成する。シリコン酸化膜の酸窒化は一酸化二窒素 (N_2O)、一酸化窒素 (NO) または二酸化窒素 (NO_2) ガスの雰囲気中で行い、また、窒化は窒化アンモニア (NH_3) ガスからなる雰囲気中において行う。続いて、シリコン酸窒化膜 23 を酸化させる。これによりシリコン酸窒化膜の膜厚が例えば 8 nm に増加すると共に、シリコン酸窒化膜とシリコン基板 21 との界面にあった窒素高濃度層 23a がシリコン酸窒化膜の中心部へと相対的に移動し、シリコン酸窒化膜中のシリコン基板との界面付近の窒素濃度が低下する。そのうち、シリコン酸窒化膜の上層のエッチングを行うことにより、最表面に窒素高濃度層を有するシリコン酸窒化膜 (ゲート絶縁膜) を形成する。



【特許請求の範囲】

【請求項 1】 シリコン基板の表面を酸化してシリコン酸化膜を形成する工程と、
前記シリコン酸化膜を酸窒化または窒化することによりシリコン酸窒化膜を形成する工程と、
前記シリコン酸窒化膜を酸化することにより前記シリコン酸窒化膜を成長させる工程と、
前記成長させたシリコン酸窒化膜の上層部分を除去することにより前記シリコン酸窒化膜内の窒素濃度が高い層を表面に露出させる工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 2】 前記窒素濃度が高い層が露出したシリコン酸窒化膜を MOS トランジスタのゲート絶縁膜とし、前記ゲート絶縁膜上に p 型不純物を含む多結晶シリコン層からなる p 型ゲート電極を形成することを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】 前記シリコン酸窒化膜を、少なくとも一部が一酸化二窒素 (N_2O)、一酸化窒素 (NO)、二酸化窒素 (NO_2) またはアンモニア (NH_3) ガスからなる雰囲気中において形成することを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 4】 シリコン基板の表面を酸窒化することによりシリコン酸窒化膜を形成する工程と、
前記シリコン酸窒化膜を酸化することにより前記シリコン酸窒化膜を成長させる工程と、
前記成長させたシリコン酸窒化膜の上層部分を除去することにより前記シリコン酸窒化膜内の窒素濃度が高い層を表面に露出させる工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 5】 前記窒素濃度が高い層が露出したシリコン酸窒化膜を MOS トランジスタのゲート絶縁膜とし、前記ゲート絶縁膜上に p 型不純物を含む多結晶シリコン層からなる p 型ゲート電極を形成することを特徴とする請求項 4 記載の半導体装置の製造方法。

【請求項 6】 前記シリコン酸窒化膜を、少なくとも一部が一酸化二窒素 (N_2O)、一酸化窒素 (NO) または二酸化窒素 (NO_2) ガスからなる雰囲気中において形成することを特徴とする請求項 4 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、シリコン (Si) 絶縁膜の形成工程を含む半導体装置の製造方法に関する。

【0002】

【従来の技術】近年、半導体装置の高性能化に伴い、半導体素子動作の低電圧化および低消費電力化が要求されている。そのため、特に p チャネル MOS (Metal Oxide Semiconductor) トランジスタ (以下、PMOS トランジスタという) においては、p 型不純物のドーピングされた

ゲート電極 (以下、p 型ゲート電極という) を有する表面チャネル型とする必要がある。この PMOS トランジスタの p 型ゲート電極は多結晶シリコンに不純物としてホウ素 (B) を注入することにより形成される。なかでも、製造工程数を減少させる等の目的のために PMOS トランジスタのソース領域およびドレイン領域並びにゲート電極に同時に不純物の注入を行う場合には、ソース・ドレイン領域の接合を浅く形成する必要性があることから、ホウ素の代わりに二フッ化ホウ素 (BF_2) を用いて行う方法がより一般的である。

【0003】一方、止まることなく進んでいる半導体の高集積化は、半導体素子の各構成要素に対しても微細化を要求しており、例えば、MOS トランジスタではゲート絶縁膜の薄膜化が求められている。ゲート絶縁膜の薄膜化に関する開発は活発になされており、例えばゲート長が $0.18 \mu m$ の MOS トランジスタでは、ゲート絶縁膜の膜厚は縮小則に従って $4.5 \sim 5.0 nm$ にまで薄膜化すると予想されている。すなわち、PMOS トランジスタの場合には、p 型ゲート電極と、厚さが薄かつ初期絶縁耐圧 (TZDB)、絶縁破壊耐性およびホットエレクトロン特性などに優れた信頼性の高いゲート絶縁膜とを有する構造を実現できる技術が必要とされている。

【0004】しかしながら、このような PMOS トランジスタを作製する際に上述のホウ素が注入された p 型ゲート電極を用いた場合、いわゆるホウ素原子の突き抜けという問題があった。ゲート電極中においてホウ素原子はゲート電極を形成している多結晶シリコンの結晶粒界に沿って拡散し、ゲート絶縁膜に達したのち、更にゲート絶縁膜中を拡散してシリコン基板に達する。このシリコン基板に達したホウ素原子は基板表面に浅い p 型層を形成する。そのため、PMOS トランジスタのしきい値電圧が変動し、更にゲート絶縁膜の絶縁破壊特性が劣化するという報告がなされている。また、このホウ素原子の突き抜けはゲート絶縁膜の膜厚が薄いほど顕著になるとの報告もなされている (E. Hasegawa, M. Kawata, K. Ando, M. Makabe, M. Kitakata, A. Ishitani, L. Manchanda, M. L. Green, K. S. Krisch and L. C. Feldman, IDEM Tech. Digest (1995) 327)。

【0005】このような報告に対して、ホウ素原子の突き抜けを抑制する方法についても様々な報告がなされている。それらはいずれも、窒素 (N) 原子によるホウ素原子の拡散抑止効果を利用したものであり、(1) ゲート電極に窒素を導入する方法と、(2) ゲート絶縁膜に窒素を導入する方法とに大別される。

【0006】ゲート電極に窒素を導入する方法は、更に、(1a) ゲート電極としての多結晶シリコン膜を形成した後、窒素をイオン注入する方法や、(1b) 多結晶シリコン膜を CVD (Chemical Vapor Deposition) 法により作製する際に窒素をドーピングする方法 (in-situ N-

doped CVD 法) などが報告されている (Takashi KUROI, Maiko KOBAYASHI, Masayoshi SHIRAHATA, Toshiki OKUMURA, Shigeru KUSUNOKI, Masahide INUISHI and Natsuro TSUBOUCHI, Jpn. J. Appl. Phys. 34 (1995) 771; 中山 論, 信学技法, SDM94-42 (1995) 55)。

【0007】図5は、シリコン基板101上にゲート絶縁膜102を介して設けられた、多結晶シリコンよりなり、かつホウ素がドーパされたゲート電極103中にイオン注入法により窒素を導入した状態を表している。一方、図6は、同じゲート電極103中にCVD法により窒素を導入した状態を表すもので、ゲート電極103側の、ゲート絶縁膜102との界面付近に窒素の濃度が高い層(以下、窒素高濃度層という)103aが形成される。これらの方法では、窒素原子が多結晶シリコンの結晶粒界に偏析することにより、結晶粒界に沿って生じるホウ素の拡散を遅らせていると考えられている。

【0008】また、ゲート絶縁膜に窒素を導入する方法は、(2a)シリコン酸化膜(SiO_2)からなるゲート絶縁膜を形成したのちゲート絶縁膜に窒素処理または酸窒素処理を施す方法や、(2b)あらかじめ窒素がイオン注入されたシリコン基板を熱酸化することによりゲート絶縁膜としてのシリコン酸窒素膜を形成する方法などが報告されている (Hisayo Sasaki Momose, Toyota Morimoto, Yoshio Ozawa, Kikuo Yamabe and Hiroshi Iwai, IEEE Trans. Electron Devices, 41 (1994) 546.; E. Hasegawa, M. Kawata, K. Ando, M. Makabe, M. Kitakata, A. Ishitani, L. Manchanda, M. L. Green, K. S. Krisch and L. C. Feldman, IDEM Tech. Digest (1995) 327.; C. T. Liu, Y. Ma, K. P. Cheung, C. P. Chang, L. Fritzinger, J. Becerro, H. Luftman, H. M. Vaidya, J. I. Colonell, A. Kamgar, J. F. Minor, R. G. Murray, W. Y. C. Lai, C. S. Pai and S. J. Hillenius, Digest of the International Symposium on VLSI Technology (1996) 18; A. Furukawa, Y. Abe, S. Shomizu T. Kuroi, Y. Tokuda and M. Inuishi, Digest of the International Symposium on VLSI Technology (1996) 62)。これらの方法では、図7に示したように、シリコン基板201上のシリコン基板201との界面付近に窒素高濃度層202aを有するゲート絶縁膜202(シリコン酸窒素膜)が形成され、このゲート絶縁膜202上に多結晶シリコンよりなり、かつホウ素がドーパされたゲート電極203が形成される。これらの方法では、ゲート絶縁膜202(シリコン酸窒素膜)中の窒素高濃度層202aがホウ素の拡散を抑制していると考えられている。

【0009】

【発明が解決しようとする課題】上述のように、従来、ホウ素原子の突き抜けを抑制する方法として様々な報告がなされている。しかしながら、これらの方法には以下のような問題があった。

【0010】まず、ゲート電極に窒素を導入する方法

((1a), (1b))では、ゲート絶縁膜が将来的に予想されている膜厚、すなわち5.0nm以下の薄膜である場合には、ホウ素原子の突き抜けの発生がより顕著になるために、多結晶シリコンよりなるゲート電極に窒素を大量に導入しなければホウ素原子の突き抜けを抑制することは不可能である。しかしながら、過度に窒素を導入した場合には、負のゲート電圧印加時にゲート電極を形成している多結晶シリコンが空乏化してしまうという問題や、多結晶シリコンの抵抗率が增加するという問題があった。

【0011】一方、ゲート絶縁膜に窒素を導入する方法((2a), (2b))では、次のような問題があった。まず、シリコン酸化膜に窒素処理または酸窒素処理を施す方法(2a)では、ゲート絶縁膜とシリコン基板との界面付近に窒素高濃度層が形成されるためにキャリア移動度の低下を招き、PMOSトランジスタの駆動能力やトランスコンダクタンスが劣化するという問題があった。また、窒素がイオン注入されたシリコン基板を熱酸化することによりシリコン酸窒素膜を形成する方法

(2b)では、ゲート絶縁膜とシリコン基板との界面付近に窒素高濃度層が生じるという報告(A. Furukawa, Y. Abe, S. Shomizu T. Kuroi, Y. Tokuda and M. Inuishi, Digest of the International Symposium on VLSI Technology (1996) 62)と、窒素高濃度層が生じないという報告(C. T. Liu, Y. Ma, K. P. Cheung, C. P. Chang, L. Fritzinger, J. Becerro, H. Luftman, H. M. Vaidya, J. I. Colonell, A. Kamgar, J. F. Minor, R. G. Murray, W. Y. C. Lai, C. S. Pai and S. J. Hillenius, Digest of the International Symposium on VLSI Technology (1996) 18)とがなされているが、窒素高濃度層が生じる場合にはシリコン酸化膜に窒素処理または酸窒素処理を施す方法と同様に、PMOSトランジスタの駆動能力やトランスコンダクタンスの劣化が生じることは容易に推測できる。

【0012】本発明はかかる問題点に鑑みてなされたもので、その目的は、多結晶シリコンからなるゲート電極の空乏化や抵抗率の増加を招くことなく、しかもPMOSトランジスタの駆動能力およびトランスコンダクタンスを劣化させることなく、ゲート電極から基板へのp型不純物の拡散を防止することが可能なゲート絶縁膜を形成することができる半導体装置の製造方法を提供することにある。

【0013】

【課題を解決するための手段】本発明による半導体装置の製造方法は、シリコン基板の表面を酸化してシリコン酸化膜を形成する工程と、シリコン酸化膜を酸窒素または窒素することによりシリコン酸窒素膜を形成する工程と、シリコン酸窒素膜を酸化することによりシリコン酸窒素膜を成長させる工程と、成長させたシリコン酸窒素膜の上層部分を除去することによりシリコン酸窒素膜内の窒素濃度が高い層(窒素高濃度層)を表面に露出させ

5

る工程とを含むものである。この方法は、窒素濃度が高い層が露出したシリコン酸化膜をゲート絶縁膜とし、このゲート絶縁膜上にp型不純物を含む多結晶シリコン層からなるp型ゲート電極を形成してなるMOSトランジスタの製造方法に用いて好適である。

【0014】本発明による他の半導体装置の製造方法は、シリコン基板の表面を酸化することによりシリコン酸化膜を形成する工程と、シリコン酸化膜を酸化することによりシリコン酸化膜を成長させる工程と、成長させたシリコン酸化膜の上層部分を除去することによりシリコン酸化膜内の窒素高濃度層を表面に露出させる工程とを含むものである。

【0015】本発明による半導体装置の製造方法では、シリコン酸化膜を形成したとき、このシリコン酸化膜中のシリコン基板との界面付近に窒素高濃度層が形成される。その後、このシリコン酸化膜が酸化されると、シリコン基板とシリコン酸化膜との界面において酸化反応が生じ、窒素高濃度層が界面からシリコン酸化膜の中心へと相対的に移動する。そのうち、シリコン酸化膜の上層部分が除去されることにより窒素高濃度層がシリコン酸化膜の表面に露出する。従って、このシリコン酸化膜をゲート絶縁膜とし、このゲート絶縁膜上に不純物としてホウ素等のp型不純物を含む多結晶シリコン膜からなるゲート電極を有するPMOSTランジスタでは、ゲート絶縁膜中のゲート電極との界面付近に窒素高濃度層が存在するために、ゲート電極から基板へのp型不純物の拡散が抑制される。また、ゲート絶縁膜とシリコン基板との界面には窒素高濃度層が存在しないため、PMOSTランジスタの駆動能力やトランスコンダクタンスの劣化が回避される。

【0016】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0017】本実施の形態は、図1に示したように半導体基板例えばシリコン基板11上に表層に窒素高濃度層12aを有するゲート絶縁膜12を形成したのち、このゲート絶縁膜12上に多結晶シリコンからなりp型不純物としてのホウ素がドーパされたゲート電極13を作製するものである。すなわち、窒素高濃度層12aをゲート絶縁膜12中のゲート電極13との界面付近に形成することにより、窒化シリコンがホウ素原子の突き抜けを抑制し、かつPMOSTランジスタの駆動能力およびトランスコンダクタンスの劣化を抑制するものである。以下、この構造の具体的な製造方法について説明する。

【0018】(第1の実施の形態)図2(a)~(d)は、本発明の第1の実施の形態に係る半導体装置の製造方法を工程順に表すものである。ここでは、PMOSTランジスタのゲート絶縁膜を形成する工程について説明する。

【0019】まず、図2(a)に示したように、シリコ

6

ン基板21の表面に例えばパイロジェニック酸化法により例えば膜厚4nmのシリコン酸化膜(SiO₂)22を形成する。なお、このパイロジェニック酸化法は、酸化炉に例えば酸素(O₂)と水素(H₂)とを2対1の割合で供給し、例えば酸化温度を750℃に設定して酸化を行う。

【0020】次いで、図2(b)に示したように、シリコン酸化膜22を酸化または窒化することによりシリコン酸化膜23を形成する。シリコン酸化膜22の酸化は一酸化二窒素(N₂O)、一酸化窒素(NO)または二酸化窒素(NO₂)ガスの雰囲気中で行い、また、窒化は窒化アンモニア(NH₃)ガスからなる雰囲気中において行う。例えば、NO雰囲気中では、温度は例えば1000℃で、適宜の時間(例えば1分間)加熱するものとする。なお、一酸化二窒素または一酸化窒素のガス雰囲気中で酸化を行う場合には、窒化と同時に酸化も進行しており、シリコン酸化膜23の膜厚は増加する。

【0021】このように酸化または窒化を行うと、窒素原子はシリコン基板21とシリコン酸化膜23との界面に偏析し、シリコン酸化膜23中の、シリコン基板21との界面付近は濃度が例えば約1.0²¹atms/cm³の窒素高濃度層23aとなる。

【0022】続いて、シリコン酸化膜23を酸素(O₂)雰囲気中において酸化(再酸化)する。酸化の条件は、例えば1000℃の温度で適宜の時間(例えば30分間)加熱する。この再酸化処理により、図2(c)に示したようにシリコン酸化膜23の膜厚が例えば8nmに増加すると共に、シリコン基板21との界面にあった窒素高濃度層23aがシリコン酸化膜23の中心部へと相対的に移動する。すなわち、シリコン酸化膜23中のシリコン基板21との界面付近の窒素濃度が低下する。なお、このような現象については、例えば「Rama I. Hegde, Bikas Maiti, and Philip J. Tobin, J. Electrochem. Soc., Vol. 144(1997)1081」に報告がなされている。

【0023】そのうち、例えば希フッ酸(0.5%フッ化水素酸溶液)をエッチング液として例えば1分間、シリコン酸化膜23のエッチングを行う。これにより図2(d)に示したように最表面に窒素高濃度層23aを有するシリコン酸化膜23(ゲート絶縁膜)が形成される。

【0024】このように本実施の形態に係る半導体装置の製造方法では、シリコン基板21上にパイロジェニック酸化法などによりシリコン酸化膜22を形成したのち、酸化処理、再酸化処理およびエッチングを行うことにより、表面に窒素高濃度層23aを有するシリコン酸化膜23(ゲート絶縁膜)を形成することができる。

【0025】(第2の実施の形態)図3は、本発明の第2の実施の形態に係る半導体装置の製造方法を工程順に

7

表すものである。ここでは、PMOSトランジスタを形成する場合について説明する。

【0026】まず、図3(a)に示したように、表面に例えば窒素がイオン注入されたN型のシリコン基板31上にLOCOS(Local Oxidation of Silicon)法により選択的に素子分離酸化膜32を設けて素子分離を行う。次いで、酸窒化処理を施すことにより、シリコン基板31上の素子分離酸化膜32により囲まれた領域に例えば膜厚4nmのシリコン酸窒化膜33を形成する。このシリコン酸窒化膜33のシリコン基板31との界面付近には窒素高濃度層33aが形成されることは第1の実施の形態と同様である。シリコン基板31の酸窒化処理は、一酸化二窒素(N_2O)、一酸化窒素(NO)または二酸化窒素(NO_2)ガスの雰囲気中で行い、温度は例えば1050℃で、適宜の時間(例えば1分間)加熱するものとする。

【0027】続いて、シリコン酸窒化膜33を酸素雰囲気中において酸化する。酸化の条件は、例えば1000℃の温度で適宜の時間(例えば20分間)加熱する。このとき、シリコン酸窒化膜33の膜厚は酸化処理を施す以前の約2倍(8nm)となり、図3(b)に示したように、シリコン基板31とシリコン酸窒化膜33との界面付近にあった窒素高濃度層33aはシリコン酸窒化膜33の中心部へと移動する。この窒素高濃度層33aの移動のメカニズムについても、第1の実施の形態において述べたものと同様である。

【0028】そのうち、例えば希フッ酸(0.5%フッ化水素酸溶液)をエッチング液として、例えば1分間、シリコン酸窒化膜33の上層部分のエッチングを行う。これにより図3(c)に示したように、最表面に窒素高濃度層33aを有するシリコン酸窒化膜33(ゲート絶縁膜)を形成することができる。ここで、0.5%フッ化水素酸溶液によるシリコン酸化膜のエッチング速度は約3nm/分であることから、この溶液をエッチング溶液として1分間エッチングを行うと表面から約3nmのシリコン酸化膜を除去することができる。従って、膜厚4nmのシリコン酸窒化膜を酸化して膜厚8nmのシリコン酸窒化膜に成長させたのちエッチングを行った場合には、窒素高濃度層33aがシリコン酸窒化膜33の表面に露出することになる。

【0029】次いで、図4(a)に示したように、最表面に窒素高濃度層33aを有するシリコン酸窒化膜33上に、例えばCVD法により例えば膜厚200nmの多結晶シリコン膜を成膜し、そのうちフォトリソグラフィ技術と異方性エッチングとを用いて多結晶シリコン膜を所定の形状にパターニングすることによりゲート電極34を形成する。

【0030】続いて、ゲート電極34上に、層間絶縁膜として例えばCVD法により例えば膜厚100nmのシリコン酸化膜(図示せず)を成膜し、そのうち例えばエ

8

ッチバック法により図4(b)に示したようにサイドウォール酸化膜35を形成する。

【0031】更に、不純物ガスとして二フッ化ホウ素を用いてホウ素イオンを注入する。イオンは、例えばイオンビームを30keVの加速エネルギーで 5×10^{15} atoms/cm²注入する。そのうち、1000℃、10秒程度的高速熱アニール(RTA; Rapid Thermal Anneal)により活性化を行い、図4(c)に示したようにp型のソース領域36aおよびドレイン領域36b並びにp型ゲート電極37を形成してPMOSトランジスタを完成させる。

【0032】本実施の形態に係る半導体装置の製造方法によれば、シリコン基板表面を酸窒化することによりシリコン酸窒化膜を形成したのち、酸化処理およびエッチングを行うことにより、p型ゲート電極37との界面付近に窒素高濃度層33aを有するゲート絶縁膜を備えたPMOSトランジスタを形成することができる。従って、p型ゲート電極37からシリコン基板31へのp型不純物(ホウ素)の拡散が抑制される。また、ゲート絶縁膜とシリコン基板31との界面には窒素高濃度層が存在しないため、PMOSトランジスタの駆動能力やトランスコンダクタンスの劣化を回避することができる。

【0033】以上、各実施の形態を挙げて本発明を説明したが、本発明はこれらの実施の形態に限定されるものではなく、種々変形可能である。例えば、上記各実施の形態においては、シリコン酸窒化膜の上層を除去する工程において希フッ酸によるウェットエッチングを行うようにしたが、無水フッ酸を(HF)を含む雰囲気中において気相洗浄を行ってもよく、またドライエッチングを行うようにしてもよい。更に、上記実施の形態では、シリコン酸化膜またはシリコン基板の酸窒化を一酸化二窒素(N_2O)、一酸化窒素(NO)または二酸化窒素(NO_2)ガスの雰囲気中で行い、また、窒化を窒化アンモニア(NH_3)ガスからなる雰囲気中において行うようにしたが、これらのガスを含んだ混合ガスを用いて酸窒化および窒化を行うようにしてもよい。

【0034】また、上記実施の形態では、エッチング時間はエッチング速度から求めた時間を固定して行うようにしたが、エッチング中に随時膜厚を光学的方法等により検知し、所望の膜厚になったところでエッチングを終了するようにしてもよい。更に、上記実施の形態において説明した酸化や再酸化の温度、雰囲気、膜厚等は例示であり、本発明の主旨を逸脱しない範囲で適宜変更できることはいうまでもない。

【0035】

【発明の効果】以上説明したように本発明による半導体装置の製造方法によれば、シリコン酸窒化膜を酸化することによりシリコン酸窒化膜を成長させた後、このシリコン酸窒化膜の上層部分を除去することによりシリコン酸窒化膜内の窒素高濃度層を表面に露出させるようにし

9

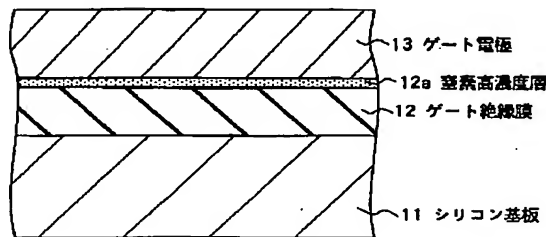
たので、これをゲート絶縁膜とし、このゲート絶縁膜上にホウ素等のp型不純物がドーパされたゲート電極を形成した場合には、ゲート絶縁膜とゲート電極との界面近傍のゲート絶縁膜側に窒素濃度の高い層が存在することとなる。従って、このゲート絶縁膜中の窒素濃度の高い層によりゲート電極からのホウ素等の不純物原子の突き抜けを抑制できるという効果を奏する。また、ゲート絶縁膜とシリコン基板との界面には窒素濃度の高い層が形成されないため、P型トランジスタの駆動能力やトランスクラダクタンスが劣化するというような問題が生ずることはない。

【図面の簡単な説明】

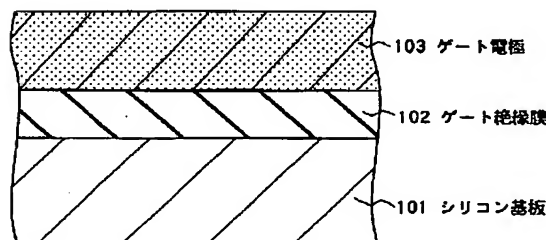
【図1】本発明の第1の実施の形態に係る半導体装置の製造方法により得られる構造の断面図である。

【図2】図1の構造を形成するための具体的な工程を説明するための断面図である。

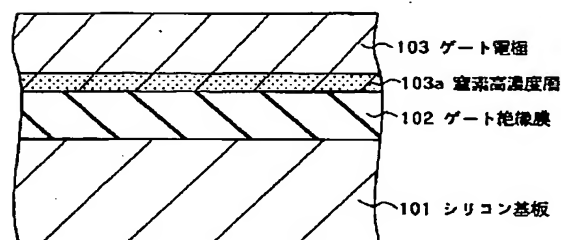
【図1】



【図5】



【図6】



10

【図3】本発明の第2の実施の形態に係るPMOSトランジスタの製造工程を説明するための断面図である。

【図4】図3に続く工程を説明するための断面図である。

【図5】従来のゲート電極への窒素導入法によって形成される半導体装置の断面図である。

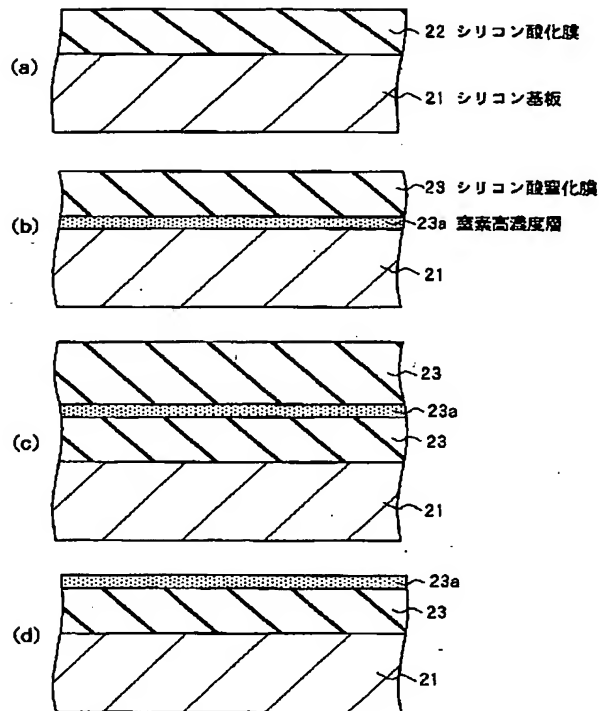
【図6】従来の他のゲート電極への窒素導入法によって形成される半導体装置の断面図である。

【図7】従来のゲート絶縁膜への窒素導入法によって形成される半導体装置の断面図である。

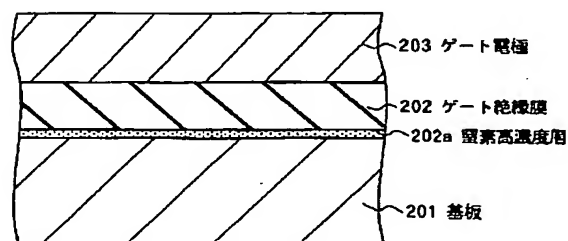
【符号の説明】

11, 21, 31...シリコン、12...ゲート絶縁膜、12a, 23a, 33a...窒素高濃度層、22...シリコン酸化膜、23, 33...シリコン酸窒化膜、37...p型ゲート電極

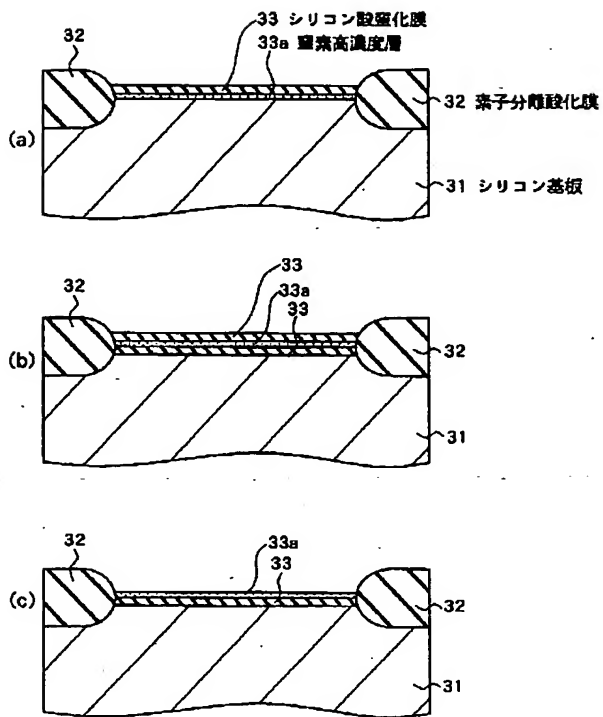
【図2】



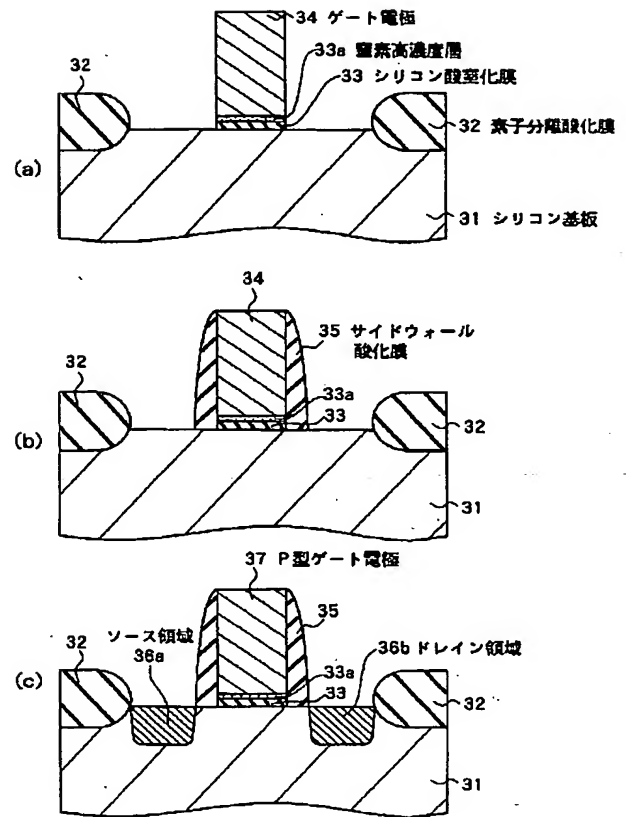
【図7】



【図 3】



【図 4】



Light receiving member for electrophotography - having a light receiving layer of a lower layer of aluminium-contg. inorganic material and an upper amorphous silicon layer

Patent Assignee: CANON KK

Inventors: AOIKE T; KARIYA T; NIINO H; SANO M; YOSHINO T

Patent Family

Patent Number	Kind	Date	Application Number	Kind	Date	Week	Type
EP 291188	A	19881117	EP 88303686	A	19880422	198846	B
JP 63266459	A	19881102	JP 87101448	A	19870424	198850	
AU 8815145	A	19881027				198851	
JP 63271268	A	19881109	JP 87107012	A	19870428	198851	
JP 63274962	A	19881111	JP 87111620	A	19870506	198851	
JP 63276062	A	19881114	JP 87112161	A	19870507	198901	
JP 1038754	A	19890209	JP 87194598	A	19870804	198912	
JP 1040841	A	19890213	JP 87196568	A	19870805	198912	
JP 1040845	A	19890213	JP 87197831	A	19870806	198912	
JP 1167760	A	19890703	JP 87323856	A	19871223	198932	
US 4906543	A	19900306	US 88184872	A	19880421	199016	
EP 291188	B1	19950308	EP 88303686	A	19880422	199514	
DE 3853229	G	19950413	DE 3853229	A	19880422	199520	
			EP 88303686	A	19880422		
CA 1335242	C	19950418	CA 564839	A	19880422	199523	

Priority Applications (Number Kind Date): JP 87323856 A (19871223); JP 87101448 A (19870424); JP 87107012 A (19870428); JP 87111620 A (19870506); JP 87112161 A (19870507); JP 87194598 A (19870804); JP 87196568 A (19870805); JP 87197831 A (19870806)

Cited Patents: A3...9014; DE 3412267; EP 219353 ; No search report pub.; US 4642277

Patent Details

Patent	Kind	Language	Page	Main IPC	Filing Notes
EP 291188	A	E	505		
Designated States (Regional): DE FR GB IT NL					
EP 291188	B1	E	492	G03G-005/082	
Designated States (Regional): DE FR GB IT NL					
DE 3853229	G			G03G-005/082	Based on patent EP 291188
CA 1335242	C			G03G-005/082	

Abstract:

EP 291188 A

Light receiving member has an Al support and a multilayered light receiving layer comprising: a lower layer contg. Al, Si and H and having a part in which the atoms are unevenly distributed across the layer thickness; and an upper layer of non-crystalline Si material contg. H and/or halogen, plus Ge and/or Sn in a region in contact with the lower layer.

Pref. The Al concn. in the lower layer decreases from 95 at.% at the boundary with the substrate to 5 at.% at the boundary with the upper layer.

ADVANTAGE - Member displays excellent electrical, optical and photoconductive properties, durability and environmental stability and produces high quality images.

37/43

EP 291188 B

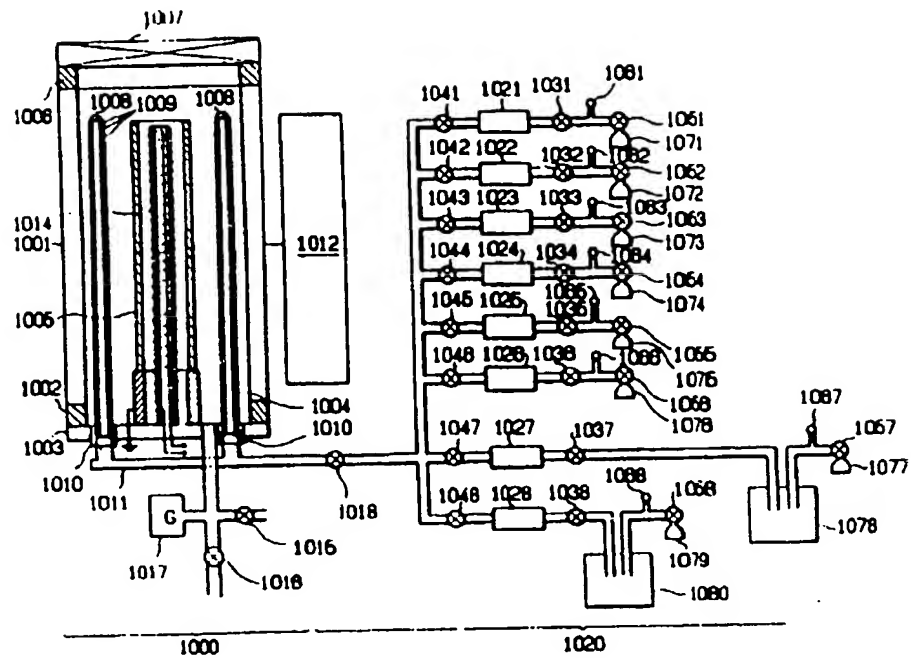
A light receiving member having an aluminium support and a multilayered light receiving layer exhibiting photoconductivity formed on said aluminium support, characterised in that said multilayered light receiving layer consists of a lower layer in contact with said support and an upper layer, said lower layer being made of an inorganic material containing at least aluminium atoms, silicon atoms, and hydrogen atoms, and having a part in which said aluminium atoms, silicon atoms, and hydrogen atoms are unevenly distributed across the layer thickness, and said upper layer being made of a non-single-crystal material composed of silicon atoms as the matrix and at least either of hydrogen atoms or halogen atoms, and containing at least either of germanium atoms or tin atoms in a layer region in contact with said lower layer.

Dwg.0/43

US 4906543 A

(+28.4.87, 6.5.87, 7.5.87, 4.8.87, 5.8.87, 6.8.87-JP-107012, 111620, 112161, 194598, 196568, 197831) Light receiving member has a multilayered photoconductive layer (I) on an Al substrate. The lower layer of (I) contains atoms of Al, Si, and H together with B, Ga, In, Tl, P, As, Sb, Bi, S, Se, Ta, and/or Po which contribute to image quality control. This lower layer has a portion in which the Al, Si, and H are distributed unevenly across the thickness the concn. decreasing upwards from the interface with the substrate. There is less than 95 atom% Al at this interface and more than 5 atom% Al at the interface with an upper layer. This upper layer has regions of non single crystal material with a Si, matrix. the Region adjacent to the lower layer also contains H or a halogen together with Ge or Sn.

USE/ADVANTAGE - Useful in electrophotography. The light receiving member has good mechanical strength and does not crack or peel.



Derwent World Patents Index

© 2004 Derwent Information Ltd. All rights reserved.

Dialog® File Number 351 Accession Number 7691122